

ELECTROOPTIC DEVICE AND ITS FORMATION

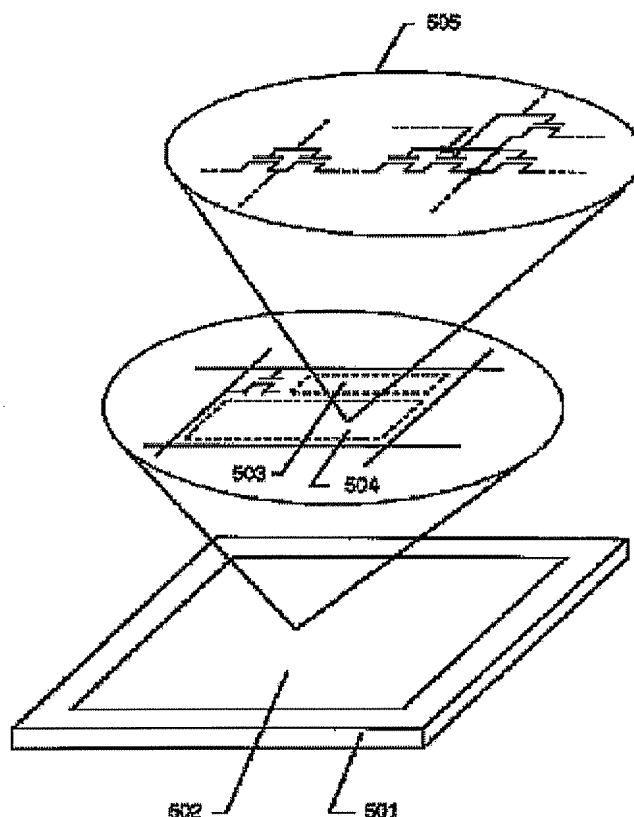
Patent number: JP10104663
Publication date: 1998-04-24
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; FUKUNAGA KENJI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: G02F1/136; G02F1/133; G02F1/1362; G02F1/1368; G09F9/30; G09G3/36; H01L29/786; G02F1/1335; G02F1/13; G09F9/30; G09G3/36; H01L29/66; (IPC1-7): G02F1/136; G02F1/133; G09F9/30; H01L29/786
- european: G02F1/1362D; G09G3/36C8
Application number: JP19960277486 19960927
Priority number(s): JP19960277486 19960927

Also published as:US6384818 (B1)
KR100624158B (B)

Report a data error he

Abstract of JP10104663

PROBLEM TO BE SOLVED: To make a large-screen display making good use of the size of a base body substrate at a maximum by arranging a part or the whole of a logic circuit in the area that a pixel matrix circuit occupies. **SOLUTION:** The pixel matrix circuit 502 has logic circuits 503 and 504 built in a pixel area. Further, the logic circuit 504 has a circuit 505 constituted as shown in the figure. In this circuit 505, the left side is a CMOS circuit and the right side is a NAND circuit. This constitution makes it possible to incorporate logic circuits 503 and 504 in a pixel matrix circuit 502. Namely, the pixel matrix circuit 502 can be constituted by making good use of the size of the glass substrate 501 at a maximum. The reflection type electrooptic device has the pixel matrix circuit 502 used as an image display area as it is, so the large-size screen display can be made without being limited to the positions where the logic circuits 503 and 504 are arranged.



Data supplied from the esp@cenet database - Worldwide

Family list8 family members for: **JP10104663**

Derived from 7 applications

- 1 ELECTROOPTIC DEVICE AND ITS FORMATION**
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: G02F1/1362D; G09G3/36C8 **IPC:** G02F1/136; G02F1/133; G02F1/1362 (+1)
Publication info: **JP10104663 A** - 1998-04-24
- 2 A PERSONAL COMMUNICATION DEVICE**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB K K (JP)
(JP); (+1)
EC: G02F1/1362D; G09G3/36C8 **IPC:** G02F1/136; G02F1/133; G02F1/1362 (+9)
Publication info: **KR100624158B B1** - 2006-09-07
- 3 Electrooptical device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
(JP); (+1)
EC: G02F1/1362D; G09G3/36C8 **IPC:** G02F1/136; G02F1/133; G02F1/1362 (+1)
Publication info: **US6384818 B1** - 2002-05-07
- 4 Electrooptical device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
(JP); (+1)
EC: G02F1/1362D; G09G3/36C8 **IPC:** G02F1/1362; G09G3/36; G02F1/1335 (+3)
Publication info: **US6765562 B2** - 2004-07-20
US2002089483 A1 - 2002-07-11
- 5 Electrooptical device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
(JP); (+1)
EC: G02F1/1362D; G09G3/36C8 **IPC:** G02F1/1362; G09G3/36; G02F1/1335 (+3)
Publication info: **US2004257357 A1** - 2004-12-23
- 6 Electrooptical device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB
(JP); (+1)
EC: G02F1/1362D; G09G3/36C8 **IPC:** G02F1/1362; G09G3/36; G02F1/1335 (+3)
Publication info: **US2005088433 A1** - 2005-04-28
- 7 Electrooptical device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB
(JP); (+1)
EC: G02F1/1362D; G09G3/36C8 **IPC:** G02F1/1362; G09G3/36; G02F1/1335 (+3)
Publication info: **US2005093852 A1** - 2005-05-05

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-104663

(43) 公開日 平成10年(1998) 4月24日

(51) Int. Cl. ⁶	識別記号	F I		
G02F 1/136	500	G02F 1/136	500	
1/133	550	1/133	550	
G09F 9/30	343	G09F 9/30	343	E
H01L 29/786		H01L 29/78	612	B
			614	
		審査請求	未請求	請求項の数12 F D (全15頁)

(21) 出願番号	特願平8-277486	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成8年(1996) 9月27日	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
		(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
		(72) 発明者	福永 健司 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内

(54) 【発明の名称】 電気光学装置およびその作製方法

(57) 【要約】

【課題】 基板サイズを最大限に活用した大画面表示の可能な電気光学装置を実現する。

【解決手段】 反射型電気光学装置の駆動部となるアクティブマトリクス基板に対して画素マトリクス回路とロジック回路とを形成するに際し、画素マトリクス回路内のデッドスペースを利用してロジック回路を配置する構成とする。これによりロジック回路の占有面積に制限されることなく画素マトリクス回路（画像表示領域）の占有面積を広げることが可能となる。

【特許請求の範囲】

【請求項 1】同一基板上に配置された画素マトリクス回路とロジック回路とを有する電気光学装置において、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部が配置されていることを特徴とする電気光学装置。

【請求項 2】同一基板上に画素マトリクス回路とロジック回路とを有したアクティブマトリクス基板と、前記アクティブマトリクス基板上に保持された液晶層と、を少なくとも有してなる電気光学装置において、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部が配置されていることを特徴とする電気光学装置。

【請求項 3】請求項 1 または請求項 2 において、ロジック回路の一部または全部は前記画素マトリクス回路を構成する画素 T F T に接続した画素電極の下方に配置されることを特徴とする電気光学装置。

【請求項 4】請求項 1 乃至請求項 3 において、ロジック回路とは駆動回路および／またはコントロール回路とで構成されることを特徴とする電気光学装置。

【請求項 5】請求項 4 において、コントロール回路にはプロセッサ回路、メモリ回路、A/D または D/A コンバータ回路、補正回路、パルス発振回路に代表される電気光学装置を駆動するに必要な全ての情報処理回路が含まれることを特徴とする電気光学装置。

【請求項 6】請求項 2 において、前記液晶層は前記アクティブマトリクス回路と対向基板との間に挟持されていることを特徴とする電気光学装置。

【請求項 7】請求項 2 において、前記液晶層を透過した光が鏡面を有する薄膜に反射される機能を備えていることを特徴とする電気光学装置。

【請求項 8】同一基板上に配置された画素マトリクス回路とロジック回路とを有する電気光学装置を作製するにあたって、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部を配置することを特徴とする電気光学装置の作製方法。

【請求項 9】同一基板上に画素マトリクス回路とロジック回路とを有したアクティブマトリクス基板を形成する工程と、前記アクティブマトリクス基板上に液晶層を保持する工程と、を少なくとも有し、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部を配置することを特徴とする電気光学装置の作製方法。

【請求項 10】請求項 8 または請求項 9 において、ロジック回路の一部または全部を前記画素マトリクス回路を構成する画素 T F T に接続した画素電極の下方に配置す

ることを特徴とする電気光学装置の作製方法。

【請求項 11】請求項 8 乃至請求項 10 において、ロジック回路とは駆動回路および／またはコントロール回路とで構成することを特徴とする電気光学装置の作製方法。

【請求項 12】請求項 11 において、コントロール回路とはプロセッサ回路、メモリ回路、A/D または D/A コンバータ回路、補正回路、パルス発振回路に代表される電気光学装置を駆動するに必要な全ての情報処理回路を含むことを特徴とする電気光学装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、薄膜半導体を用いた半導体装置を利用して駆動する電気光学装置およびその作製方法に関する。特に、画素マトリクス回路とロジック回路とを同一パネル上に一体化したアクティブマトリクス型電気光学装置 (Active-Matrix Electro Optical Device: AM-EOD) に関する。

【0002】

【従来の技術】最近、安価なガラス基板上に薄膜トランジスタ (T F T) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型電気光学装置の需要が高まったことにある。アクティブマトリクス型電気光学装置は、マトリクス状に配置された数百万個もの各画素のそれぞれに T F T を配置し、各画素電極に出入りする電荷を T F T のスイッチング機能により制御するものである。

【0003】電気光学装置としては、液晶の光学特性の変化を利用する液晶表示装置 (Liquid Crystal Display)、Z n S : M n に代表される発光 E L 材料を利用する E L 表示装置 (Electro Luminescence Display)、フォトリソミック色素の変色特性を利用する E C 表示装置 (Electro Clomic Display) などがある。

【0004】これらの電気光学装置はアクティブマトリクス方式で駆動することが可能であり、同方式を採用することで高精細な表示を実現することが可能となる。

【0005】前述の様に、アクティブマトリクス方式の大きな特徴は、電気光学装置の画像表示領域において、マトリクス状に設けられた複数の画素電極に出入りする電荷を各画素領域に配置した画素 T F T でオン／オフ制御する点である。

【0006】さらに、アクティブマトリクス方式の特徴として、画素を制御するための T F T (画素 T F T) を駆動するために駆動回路を必要とする点がある。以前はガラス基板上に形成された画素マトリクス回路と、別に用意された駆動回路 I C とを接続してアクティブマトリクス回路を構成していた。

【0007】しかし近年においては、駆動回路を構成する複数の回路 T F T を画素マトリクス回路と同一基板上に形成して、画素マトリクス回路の周辺に駆動回路 (周

10

20

30

40

50

辺駆動回路とも呼ばれる)を構成するのが一般的となっている。

【0008】さらに最近においては、画素TFTを駆動するための駆動回路(シフトレジスタ回路やバッファ回路など)以外に、プロセッサ回路、メモリ回路、A/D(D/A)コンバータ回路、補正回路、パルス発振回路などのコントローラ回路を同一基板上に組み込むSOP(システム・オン・パネル)構造が注目を浴びている。

【0009】ここで、電気光学装置の一般的な構成を図3に示す。図3はアクティブマトリクス型液晶表示装置の例である。301はガラス基板、302はガラス基板301上に形成された画素マトリクス回路である。

【0010】なお、画素マトリクス回路302は複数の画素領域が集積化された構成となっている。即ち、画素マトリクス回路302を拡大して見ると、303に示される様に複数の画素領域(図3では任意の2つの領域を記載している)がマトリクス状に配列しており、各画素領域には少なくとも一対の画素TFTと画素電極とが配置されている。

【0011】また、水平走査用駆動回路(データ線にデータ信号を伝達する)304はシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などで構成される。レベルシフト回路とは駆動電圧の増幅を行う回路である。

【0012】例えば、シフトレジスタ回路が10V駆動、バッファ回路が16V駆動である場合、レベルシフト回路で電圧変換を行う必要がある。また、シフトレジスタ回路はカウンタ回路とデコード回路とを組み合わせで代用する場合もある。

【0013】また、垂直走査用駆動回路(ゲイト線にゲイト信号を伝達する)305はシフトレジスタ回路、レベルシフト回路、バッファ回路などで構成される。

【0014】また、近い将来においてコントロール回路306が図3に示す様な位置に配置されることが予想されている。コントロール回路306はプロセッサ回路の様な複雑なロジック回路やメモリ回路の様な占有面積の広い回路で構成されるため、トータルの占有面積は大きくなると予想される。

【0015】以上の様に、一般的には1枚のガラス基板301上に画素マトリクス回路302、水平走査用駆動回路304、垂直走査用駆動回路305、コントローラ回路306を配置する構成となる。従って、決められたガラスサイズ上で表示領域をできるだけ多く確保するためには、画素マトリクス回路以外の占有面積を可能な限り狭くする必要がある。

【0016】しかしながら、図3に示す様な額縁構造をとったとしても周辺駆動回路の高集積化には限界がある。ましてや、コントローラ回路の様な付加価値が加わってしまった場合には、さらに画素マトリクス回路の面

積を広げるのは困難な状況となってしまう。

【0017】

【発明が解決しようとする課題】本明細書で開示する発明は、上記問題点を解決して電気光学装置(光学表示装置)の表示領域となる画素マトリクス回路の面積を可能な限り大きくし、母体基板のサイズを最大限に活用した大画面表示を実現することを課題とする。

【0018】

【課題を解決するための手段】本明細書で開示する発明の構成は、同一基板上に配置された画素マトリクス回路とロジック回路とを有する電気光学装置において、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部が配置されていることを特徴とする。

【0019】また、他の発明の構成は、同一基板上に画素マトリクス回路とロジック回路とを有したアクティブマトリクス基板と、前記アクティブマトリクス基板上に保持された液晶層と、を少なくとも有してなる電気光学装置において、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部が配置されていることを特徴とする。

【0020】本発明の基本的な主旨は、反射型モードや発光型モードで駆動する電気光学装置において、画素電極の裏側となる画素領域を有効に活用するものである。即ち、従来は図3に示す様に画素マトリクス回路の外枠に配置されていたロジック回路を画素領域を利用して構成し、その一部または全部を画素マトリクス回路内に組み込むことを特徴とする。

【0021】換言すれば、画素マトリクス回路とロジック回路とを集積化したアクティブマトリクス基板の断面を見た時に、ロジック回路の一部または全部は前記画素マトリクス回路を構成する画素TFTに接続した画素電極の下方に配置された構成となっている。

【0022】なお、ここでいうロジック回路とは駆動回路および/またはコントロール回路とで構成される画素マトリクス回路以外の回路を指している。また、コントロール回路にはプロセッサ回路、メモリ回路、A/DまたはD/Aコンバータ回路、補正回路、パルス発振回路に代表される電気光学装置を駆動するのに必要な全ての情報処理回路が含まれるものとする。

【0023】反射型モードで駆動する電気光学装置(代表的には反射型液晶表示装置)は光を透過する必要がないため、透過型液晶表示装置の様に画素電極を透明にして光路を確保する様な必要がない。そのため、透過型液晶表示装置では利用することのできなかった画素電極の裏側(横断面から見れば下方)を、ロジック回路を配置する領域として有効に活用することが可能なのである。

【0024】なお、前述の反射型モードで駆動する反射型液晶表示装置について、図4を用いて簡単な説明を行なう。図4(A)において、401はアクティブマトリ

クス基板、402は対向基板、403は液晶層である。

【0025】また、アクティブマトリクス基板401の上部には画素電極404（必要があれば反射板を設ける場合もある）が設けられた構造となっている。なお、画素電極404は保護膜405で保護されている。

【0026】図4（A）はTFTがオフ状態の時を示しており、液晶分子は入射した光の偏光方向を変化させない様な状態で配列している。

【0027】この状態において、偏光子406を用いて任意の偏光方向（ここではビームスプリッタによって反射される方向）を与えられた光407をビームスプリッタ408を介して液晶層403に入射させる。ビームスプリッタ408は偏光方向によって選択的に光を透過したり、反射したりする機能を持つ。

【0028】前述の様に、図4（A）の状態（TFTがオフ状態）では、液晶層403に入射した光407はその偏光方向を変化させないまま画素電極404で反射されてビームスプリッタ408に到達する。即ち、画素電極404で反射された光407は入射時と同じ偏光方向で戻されることになる。従って、ビームスプリッタ408に入った光407は反射されて観測者の目に入らない。

【0029】逆に、図4（B）に示す状態はTFTがオン状態の時を示しており、液晶分子は矢印で示される光409を偏光する様な状態で配列している。即ち、ビームスプリッタ408で反射された光409は、液晶層410によって偏光方向が変化してビームスプリッタ408を透過し、観測者の目に入る様になる。

【0030】この様に、TFTのオン／オフ状態に対応して光のオン／オフ制御を可能とするのが反射型モードで駆動する電気光学装置である。その様な電気光学装置の代表例が反射型液晶表示装置であり、さらにECB（電界制御複屈折）モード、PCGH（相転移型ゲスト・ホスト）モード、OCBモード、HANモード、PDLC型GHモードなど様々な駆動モードに分類される。（LCD Intelligence 8月号、p51～63, 1996 参照）

【0031】しかしながら、本発明は鏡面反射板が液晶層のすぐ裏に配置されるタイプであればどの駆動モードにも適用することが可能である。

【0032】また、本発明は反射型液晶表示装置以外にも、発光型モードで駆動するアクティブマトリクス型EL表示装置や、フォトクロミック色素の変色特性を利用するアクティブマトリクス型EC表示装置にも適用することができる。即ち、透過型電気光学装置以外ならばどの様な構造にも適用することが可能である。

【0033】また、本明細書で開示する請求項においては、電気光学装置とはいわゆる表示パネルのみを指すのではなく、表示パネルを組み込んだ応用製品をも含むものとする。本出願人は、電気的作用または光学的作用あるいはそれら作用の複合作用によって本来の機能を果た

す全ての装置を指して電気光学装置と定義している。

【0034】なお、本明細書中では「電気光学装置」を説明の便宜上、必要に応じて表示装置（表示パネル）や応用製品などの言葉で使い分けることとする。

【0035】また、他の発明の構成は、同一基板上に配置された画素マトリクス回路とロジック回路とを有する電気光学装置を作製するにあたって、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部を配置することを特徴とする。

【0036】また、他の発明の構成は、同一基板上に画素マトリクス回路とロジック回路とを有したアクティブマトリクス基板を形成する工程と、前記アクティブマトリクス基板上に液晶層を保持する工程と、を少なくとも有し、前記画素マトリクス回路が占有する領域内に前記ロジック回路の一部または全部を配置することを特徴とする。

【0037】

【発明の実施の形態】1枚のガラス基板101上に画素マトリクス回路とロジック回路（駆動回路やコントロール回路を含む）とを集積化するアクティブマトリクス型の電気光学装置を構成するに際し、画素マトリクス回路とロジック回路とを重複させて配置する構成とする。

【0038】この構成はバックライト等の光路（開口部）を確保する必要がある透過型電気光学装置では成しえない構成である。なぜならば、透過型電気光学装置の画素マトリクス回路はその殆どの領域が開口部であり、画素マトリクス回路内において透過光量を落とさずにロジック回路を構成するのは不可能だからである。

【0039】従って、本発明は光路を確保する必要のない反射型電気光学装置において実施可能な技術であると言える。具体的には、反射板となる画素電極の下方（裏側）にロジック回路を構成しようとするものである。

【0040】図2（A）において、接続配線146～150は回路TFT（第1、第2・・・第Nの回路TFT）を相互に接続させ、A/Dコンバータ回路やメモリ回路等を構成するための配線である。この時点でロジック回路は完成する。

【0041】さらに、第1および第2の画素TFTにおけるデータ信号の入出力に用いられるデータ配線152～155が配置される。なお、データ配線153、155は後の画素電極160、161への取り出し電極とも言える。

【0042】画素電極160、161はその表面を鏡面状態としておくことで、入射光を反射する反射板としての機能を持たせることができる。また、必要に応じて、画素電極160、161の上方にミラーとなる反射膜を設ける構成としても良い。

【0043】以上の様な構造とすると、図5に示される様に、画素マトリクス回路502を構成する複数の画素領域に対してロジック回路503や504を組み込むこ

とが可能となる。

【0044】以上の構成で示される本発明について、以下に記載する実施例でもって詳細な説明を行なうこととする。

【0045】

【実施例】

〔実施例1〕本発明の構造を有するアクティブマトリクス基板の作製工程を図1、図2を用いて説明する。なお、本実施例は一例を示すものであり、記載される数値等の具体的な条件は作製者が適宜決定すれば良いものである。

【0046】まず、絶縁表面を有する基板101を準備する。本実施例では基板101として酸化珪素膜を堆積したガラス基板を用いる。ガラス基板の代わりに石英基板を用いても良い。

【0047】次に、図示しない非晶質珪素膜を500 Åの厚さに成膜し、適当な結晶化技術を利用して結晶性珪素膜に変成する。結晶化は加熱処理またはレーザー処理あるいは両処理を併用して行えば良い。加熱処理による場合の結晶化温度は、ガラス基板（または石英基板）の耐熱性温度を考慮する必要がある。

【0048】図示しない結晶性珪素膜を得たら、パターニングを施して活性層102～105を形成する。活性層102は第1の画素TFTを構成する活性層であり、活性層105は第2の画素TFTを構成する活性層である。

【0049】また、第1、第2の画素TFT（両方ともPチャネル型TFTとする）の間には、第1～第Nの回路TFT（途中の回路TFTは省略する）が配置される。なお、本実施例において第1の回路TFTはNチャネル型、第Nの回路TFTはPチャネル型とする。

【0050】また、第Nの回路TFTとしたのは、どのようなロジック回路を構成するかで必要な回路TFTの数が増えるからである。即ち、実際にはガラス基板101上に百数十万から数百万個以上もの画素TFTがマトリクス状に配置され、その間を縫って回路TFTがロジック回路を構成する。

【0051】勿論、第1の回路TFTと第Nの回路TFTは必ずしも同一構造とはならない。本実施例では基本的に同一構造として説明を進めるが、チャネル長の違いやオフセット領域の有無など、ロジック回路の設計の都合によって適宜構造が変化することは言うまでもない。

【0052】次に、活性層102～105が形成されたらゲイト絶縁膜106を1200Åの厚さに成膜する。ゲイト絶縁膜106としては、プラズマCVD法や減圧熱CVD法で成膜した酸化珪素膜を用いればよい。勿論、熱酸化法を用いて形成することも可能である。

【0053】次に、ゲイト絶縁膜106上にアルミニウムを主成分とするパターン107～110を形成する。本実施例では、パターン107～110の材料として、

2wt%のスカンジウムを含有した4000Å厚のアルミニウム膜を用いる。スカンジウムはアルミニウム膜に発生するヒロックやウィスカを防止する効果がある。

【0054】アルミニウム膜のパターン107～110は、後のゲイト電極およびゲイト配線の原型となるものである。アルミニウム膜以外にもタンタル、ニオブ、モリブデン等の金属材料を用いることができる。また、導電性を付与した結晶性珪素膜（ポリシリコン膜）を利用しても良い。

【0055】こうして図1（A）の状態が得られる（アルミニウム膜のパターン107～110上には図示しないレジストマスクが残存している）。この状態が得られたら、電解溶液として3%のシュウ酸水溶液を用いた陽極酸化処理を行い、多孔質状の陽極酸化膜111～114を形成する。本実施例では化成電流2～3mA、到達電圧8Vに調節して0.7 μmの厚さに成長させる。

【0056】なお、この時陽極酸化反応は基板に対して平行な方向に進行する。これは、アルミニウム膜のパターン107～110の上面に図示しないレジストマスクが存在したままなので、そこでは陽極酸化反応は進行しないからである。

【0057】さらに、専用の剥離液でレジストマスクを除去した後、再度陽極酸化処理を行い、1000Å厚の緻密で強固な陽極酸化膜115～118を形成する。この時、電解溶液は3%の酒石酸のエチレングリコール溶液をアンモニア水で中和して、PH=6.92に調節したものをを用いる。また、化成電流5～6mA、到達電圧100Vで処理を行う。

【0058】この陽極酸化膜115～118は、多孔質状の陽極酸化膜111～114の中に電解溶液が侵入するので、図1（B）に示す様な状態で形成される。また、同時に第1、第2の画素TFTおよび第1、第Nの回路TFTを制御するゲイト電極119～122が画定する。（図1（B））

【0059】また、陽極酸化膜115～118は、緻密かつ強固であるため、ドーピング工程などの後工程で生じるダメージや加熱工程の熱からゲイト電極119～122を保護する役割を持つ。

【0060】図1（B）の状態が得られたら、ゲイト電極および多孔質状の陽極酸化膜をマスクとしてゲイト絶縁膜106の一部をドライエッチング法により自己整合的にエッチング除去する。この工程によりゲイト絶縁膜106はゲイト電極および多孔質状の陽極酸化膜の下にのみ残存する状態となる。

【0061】次に、多孔質状の陽極酸化膜111～114を除去し、Pチャネル型TFTとなる領域（第1、第2の画素TFTおよび第Nの回路TFTとなる領域）をレジストマスク123で覆う。

【0062】次に、イオン注入法を用いて活性層103に対してN型を付与するP（リン）イオンを注入する。

この際、イオン注入の加速電圧が 80 kV 程度と高いので残存したゲイト絶縁膜 106 を乗り越えて全ての P イオンが活性層 103 に添加される。

【0063】次いで、加速電圧を 10 kV 程度に落として 2 度目のイオン注入を行う。このイオン注入では加速電圧が低いので、ゲイト絶縁膜 106 の残存した領域下には P イオンが添加されない。

【0064】この様な 2 度の P イオン注入によって、第 1 の回路 TFT のソース領域 124、ドレイン領域 125 が形成される。なお、ゲイト絶縁膜 106 を通して P イオンが添加された領域には、ソース/ドレイン領域よりも低濃度の P イオンが添加された低濃度不純物領域 126、127 が形成される。

【0065】特に、ドレイン領域 125 に近い側に形成された低濃度不純物領域 127 は LDD (ライト・ドープ・ドレイン) 領域と呼ばれ、オフ電流やリーク電流等を効果的に抑制する効果を有している。

【0066】また、ゲイト電極 120 の直下は P イオンが添加されない真性または実質的に真性なチャネル形成領域 128 となる。なお、厳密にはチャネル形成領域 128 の両端、即ち陽極酸化膜 116 の直下はゲイト電圧が印加されないオフセット領域として機能する。

【0067】こうして図 1 (C) に示す状態が得られる。次に、レジストマスク 123 を除去した後、N チャネル型 TFT となる領域をレジストマスク 129 で覆う。そして、P 型を付与する不純物元素である B (ボロン) イオンを活性層 102、104、105 に対して添加する。

【0068】この場合も、先の N チャネル型 TFT の場合と同様に、1 度目のイオン注入は加速電圧を高くし、2 度目は弱く調節する。この B イオンの注入工程により、第 1、第 2 の画素 TFT のソース領域 130、131、ドレイン領域 132、133、低濃度不純物領域 134~137、チャネル形成領域 138、139 が形成される。また、第 N の回路 TFT のソース領域 140、ドレイン領域 141、低濃度不純物領域 142、143、チャネル形成領域 144 が形成される。

【0069】以上の様にして、図 1 (D) に示す配置で N チャネル型 TFT および P チャネル型 TFT とが別々に形成される。なお、本実施例は一例であるので N チャネル型 TFT および P チャネル型 TFT の作製方法は、上記手段以外の方法を用いても構わない。

【0070】次に、活性層に添加された不純物元素を加熱処理またはレーザー処理あるいは両者を併用した手段により活性化する。さらに、活性化と同時に、イオン注入により損傷を受けた活性層の結晶性が改善される。

【0071】次に、レジストマスク 129 を除去した後、第 1 の層間絶縁膜 145 を 5000 Å の厚さに成膜する。第 1 の層間絶縁膜 145 としては、酸化珪素膜や窒化珪素膜またはそれらの積層膜を用いれば良い。

【0072】次に、第 1 の層間絶縁膜 145 を成膜したら、コンタクトホールを形成して回路 TFT の接続配線 146~150 を形成する。接続配線 146~150 は回路 TFT 相互を接続するための配線であり、第 1~第 N までの各回路 TFT は相互に接続されてロジック回路を構成する。この状態で、第 1~第 N の回路 TFT は完成する。

【0073】こうして図 2 (A) の状態が得られる。図 2 (A) の状態が得られたら、第 2 の層間絶縁膜 151 を 1 μm の厚さに成膜する。第 2 の層間絶縁膜 151 としては透過性有機樹脂材料であるポリイミドを用いる。ポリイミドはスピン法により容易に膜厚を稼ぐことが可能であり、平坦性に優れるといった特徴を有している。また、比誘電率が小さいので寄生容量を低減できる。

【0074】次に、第 1、第 2 の画素 TFT と接続するデータ配線 152~155 を形成する。この際、ソース領域 130、131 と接続するデータ配線 152、154 は駆動回路からのデータ信号を伝達する配線であり、ドレイン領域 132、133 と接続するデータ配線 153、155 は後に形成される画素電極と TFT を接続するためのパイプ配線として機能する。

【0075】さらに、データ配線 152~155 を形成した後、第 3 の層間絶縁膜 156 を 5000 Å の厚さに成膜する。本実施例では第 3 の層間絶縁膜 156 もポリイミドを用いる。(図 2 (B))

【0076】次に、光を吸収する様な機能を有する材料を利用してブラックマトリクス 157、158 を形成する。本実施例では黒色顔料を分散させた樹脂材料を用いるが、窒化チタンなどを用いることもできる。また、樹脂材料としてはアクリル系材料、ポリイミド、ポリイミドアミド、ポリアミド等を用いれば良い。

【0077】ブラックマトリクス 157、158 を形成したら、その上に第 4 の層間絶縁膜 159 としてポリイミド膜を 3000 Å の厚さに成膜する。第 4 の層間絶縁膜 159 としては酸化珪素膜や窒化珪素膜等の珪化膜を用いても良い。

【0078】ただし、第 4 の層間絶縁膜 159 の上に形成する画素電極 (または反射板) は正確に光を反射する様に十分に平坦化された面上に形成する必要がある。従って、第 4 の層間絶縁膜 159 は十分な平坦性を得られる様に注意することが重要であると言える。

【0079】そして、第 4 の層間絶縁膜 159 上に画素電極 160、161 を形成する。画素電極 160、161 は金属材料であれば良いのだが、全面にわたって均一な電界を形成するためには低抵抗のアルミニウムを主成分とする材料が好ましい。また、効果的に入射光を反射することができる様に、画素電極 160、161 の表面 (光反射面) は鏡面状態となる様にしておくことが望ましい。

【0080】図 2 (C) に示される様に、画素電極 16

0、161はその隙間にブラックマトリクス157、158が配置される様なパターンに形成される。また、図2(C)に明らかな様に、画素電極160の下方には第1〜第Nの回路TFTが配置され、ロジック回路を構成することができる。

【0081】画素電極160、161の上には通常は保護膜を設けて画素電極160、161の劣化等を防ぐ。また、画素電極160、161に反射板としての機能を持たせられない様な場合には、別途、反射板として金属薄膜を設ける様なことも可能である。

【0082】以上の様にして、図2(C)に示される様なアクティブマトリクス基板を作製することができる。なお、本実施例はプレーナ型トランジスタを作製する例を示しているが、スタガ型や逆スタガ型など他の構造のTFTで本発明を実施することは容易である。

【0083】また、本実施例で作製したアクティブマトリクス基板と対向基板との間に液晶を挟持した構成とすればアクティブマトリクス型の液晶表示装置となる。また、液晶層の代わりに発光層としてEL材料を挟持すればアクティブマトリクス型のEL表示装置となる。また、フォトクロミック色素、顔料、電解質を含有した溶液を挟持すればアクティブマトリクス型のEC表示装置となる。

【0084】液晶表示装置としては、例えばホスト液晶に二色性色素を混入したゲストホスト方式の液晶表示装置を作製することができる。なお、セル組み工程は公知の方法によれば良いのでここでの説明は省略する。ゲストホスト方式の中でもPCGH (Phase change guest host) モードと呼ばれるものは、偏光子が不要なことから高いコントラストと明るい表示が実現できる。

【0085】また、ゲストホスト方式以外にもECB (電界制御複屈折) モードやPDL C (ポリマ分散型) モードなどを用いることが可能である。これらの方式はカラーフィルタまたは偏光子が不要であることから、光損失に弱い反射型液晶表示装置にとって極めて有効である。また、PDL Cモードの場合、アクティブマトリクス基板のみであっても液晶パネルを構成することができる。

【0086】また、本発明を利用して電気光学装置を構成する場合、アクティブマトリクス基板および対向基板はガラスもしくは石英基板を用いることが好ましい。アクティブマトリクス基板を作製するに際してシリコンウエハー等を用いると、電気光学装置を構成した後に応力などの影響を受けて反りを生じたり、最悪の場合は破損に至る可能性があるからである。

【0087】ところで、本発明の最も大きな特徴は、図2(C)に示される様に、画素電極の下方に回路TFTが形成されている点である。この構成は、光を透過する透過型電気光学装置では成しえなかった構成である。

【0088】即ち、反射型または発光型の電気光学装置

の場合、透過型電気光学装置では光路となるため空けておかなければならなかった画素電極の下方の領域を、駆動回路やコントロール回路等のロジック回路を構築可能な領域として活用することができるのである。

【0089】従って、本発明を実施することで、従来は画素マトリクス回路の周辺領域に配置することを余儀なくされた駆動回路やコントロール回路を画素マトリクス回路を配置する領域内に組み込み、ガラス基板のサイズを最大限に活用して画素マトリクス回路、即ち画像表示領域を広げることが可能である。

【0090】近年においては透過型電気光学装置の開口率が徐々に高くなってきているが、本発明に置き換えてみれば、ロジック回路を構成するための空き領域が増えてきていることに他ならない。特に、今後半導体素子の微細化が急速に進むにつれてこの傾向は益々強まり、本発明の重要性は一層高まるものと考えられる。

【0091】なお、本発明の基本的な構成から明らかな様に、本発明は電気光学装置の設計者や作製者の必要に応じて如何なる工夫も可能である。即ち、「画素マトリクス回路を配置する領域内にロジック回路を構成する」という基本コンセプトが重要であって、どの様なロジック回路を配置するかは設計者が適宜決定すれば良い。

【0092】ここで、本実施例に従って作製した電気光学装置の構成を図5を用いて説明する。図5において、501はガラス基板であり、502は画素マトリクス回路を表している。

【0093】画素マトリクス回路502の一部分を拡大して見ると、画素領域の中にロジック回路503、504が組み込まれた構成となっている。

【0094】なお、図5では一つの画素領域内に2つのロジック回路504、505が組み込まれた構成となっているがこれは一例にすぎない。他の画素領域との間を相互に引回し配線で接続して、複数の画素領域にわたって一つの機能回路を構成することも可能である。

【0095】さらに、ロジック回路504を拡大して見ると、505で示される様な回路が構成されている。例えば、505で示される回路の内、左側はCMOS回路であり、右側はNAND回路 (またはNOR回路) である。

【0096】以上の様な構成とすることでロジック回路を画素マトリクス回路内の組み込むことが可能である。即ち、図6の様にガラス基板501のサイズを最大限に活用して画素マトリクス回路502を構成できる。

【0097】本発明を実施する対象となる反射型電気光学装置では画素マトリクス回路がそのまま画像表示領域となるので、ロジック回路を配置する位置に制限されることなく大画面表示を行うことが可能となる。

【0098】〔実施例2〕本実施例では、本発明を利用した場合の回路設計上の有意性を説明する。本発明の特徴は画素マトリクス回路とロジック回路とをガラス基板

(または石英基板) 上の同じ領域に配置することが可能な点にある。

【0099】図6 (A) に示す図は、本発明の一実施例である。ガラス基板601上には実施例1の作製工程に従って駆動回路602とコントロール回路603とが配置されている(正確に言うと、602は駆動回路を配置可能な領域、603はコントロール回路を配置可能な領域である)。

【0100】そして、駆動回路602やコントロール回路603等で構成されるロジック回路と画素マトリクス回路604とは配置領域を共有した構成となっている。10
実際には、画素マトリクス回路604を構成する画素TFTと回路TFTとが同一層に形成され、画素TFTに接続した画素電極が回路TFTを覆う様な構造となっている(図2 (C) 参照)。

【0101】従って、図6 (A) ではロジック回路の内、画素マトリクス回路604に重複する領域を点線で示す様にしている。なぜならば、図6 (A) に示す様なアクティブマトリクス基板を上面から見た場合、画素電極が見えるだけで下に配置されるロジック回路は見えないからである。20

【0102】図6 (A) の場合、画素マトリクス回路604の中央に垂直走査用駆動回路(T字型駆動回路602の縦の部分)が配置されることになる。信号の走査方式は特に限定されるものではなく、通常的方式以外にも、例えば垂直走査用駆動回路を中心にして基板の左右でゲート信号の伝達系統を分けることもできる。

【0103】次に、図6 (B) に示すのは、本発明の別の実施例である。図6 (B) に示す様に、駆動回路605をガラス基板601の端に設け、中央の空きスペースにコントロール回路606~608を配置する構成もできる。30

【0104】コントロール回路は回路構成が複雑であるため、比較的広い面積を必要とすることが予想される。従って、図6 (B) の様な構成はコントロール回路606~608の設計自由度が高くなり好ましい。

【0105】なお、図6 (B) において、コントロール回路は606、607、608の3つの領域に分けて記載してあるが、機能ブロック毎に分ける場合を示しただけであって、必ずしも分ける必要はない。40

【0106】また、図6 (B) は駆動回路605が画素マトリクス回路604の中に組み込まれた例を示しているが、駆動回路605のみを画素マトリクス回路604の外に出す構成とすることも可能である。こうすることで、コントロール回路606~608の設計自由度を上げることができる。

【0107】次に、図6 (C) に示すのは、本発明の別の実施例である。図6 (C) に示す様に、駆動回路609を十字型とし、4つの領域に分割された基板上の各領域にコントロール回路610~613を配置する構成も50

できる。

【0108】図6 (C) に示す構成において、駆動方式は特定されるものではなく、4つの領域をまとめて駆動するのであっても、個々に別系統で駆動するのであっても構わない。場合によっては、1枚の基板上に4つの異なる画面を表示することも可能である。

【0109】〔実施例3〕本実施例は、本発明を実施するにあたって画素領域を有効に活用するための構成についての一例を示す。具体的には画素電極の配置方法について説明する。

【0110】図7 (A) において、701~704は並列に設けられたデータ配線であり、705~707はデータ線701~704と直交する様にして並列に設けられたゲート線である。

【0111】そして、ゲート線705とデータ線701~704との各交点には画素TFTが接続されており、ゲート線706、707についても同様に、データ線701~704との交点に画素TFTが接続されている。

【0112】図7 (A) に示す構成では、一つの画素領域(例えば、ゲート線705、706およびデータ線702、703で囲まれた領域)の中に、二組の画素TFTと画素電極(708、709の点線で表される)が配置されている。

【0113】この様な構成とした場合、従来の様に一つの画素領域に一組の画素TFTおよび画素電極を配置した構成と比べて、一つの画素領域の面積を約2倍に拡大することが可能である。即ち、画素領域内にロジック回路(斜線で示される領域)710を組み込む際に、データ線を乗り越える回数が減るので断線不良等の原因を減じることができる。

【0114】また、図7 (B) において、711~714は並列に設けられたデータ配線であり、715~718はデータ線711~714と直交する様にして並列に設けられたゲート線である。

【0115】そして、ゲート線715とデータ線711~714との各交点には画素TFTが接続されており、ゲート線716~718についても同様に、データ線711~714との交点に画素TFTが接続されている。

【0116】図7 (B) に示す構成は、図7 (A) と異なり一つの画素領域(例えば、ゲート線716、717およびデータ線712、713で囲まれた領域)の中に、四組の画素TFTと画素電極(719~722の点線で表される)が配置されている。

【0117】この様な構成とした場合、一つの画素領域をさらに拡大することが可能であり、従来の約4倍に相当する領域を確保することができる。この様な構成はロジック回路723がゲート線やデータ線を乗り越える回数を大幅に減じることができるので、さらに高い歩留りで電気光学装置を作製することができる。

【0118】〔実施例4〕本実施例では、本発明を利用

して作製した電気光学装置の実施例1とは異なる他の構造の例を示す。なお、概略の構造は実施例1で示した図2(C)と同じであるので、本実施例では図8(A)、(B)について、必要な箇所のみを符号を付して説明することとする。

【0119】図8(A)に示す構成は画素TF Tの構造をダブルゲイト構造とした例である。ダブルゲイト構造とは活性層上にゲイト電極を2つ設けた構造であり、画素TF Tの動作不良に対して冗長性を持たせることができる。

【0120】また、2つの各ゲイト電極801、802(本実施例ではどちらも結晶性珪素膜である)をマスクとしたイオン注入工程によりソース領域803、低濃度不純物領域804~807、ドレイン領域808を形成することができる。特に、ドレイン領域側に配置された低濃度不純物領域805、807はLDD領域と呼ばれ、オフ電流やリーク電流を効果的に抑制する効果が期待できる。

【0121】次に、図8(B)に示す構成は隣接するデータ配線809、810の間に二組の画素TF Tと画素電極とを配置した構成である。この構成は図7(A)に示した構成と同じものであり、図8(B)におけるデータ線809、810および画素電極811、812は図7(A)におけるデータ線702、703および画素電極708、709に相当する。

【0122】また、図8(B)の別の特徴は、画素TF Tおよび回路TF Tをサリサイド構造としている点である。例えば、2つの回路TF Tで構成したCMOS回路(インバータ回路)813において、ソース領域、ドレイン領域、ゲイト電極の上部にはタングステンシリサイド層814~816を形成してオーミックコンタクトを容易なものとしている。

【0123】サリサイド構造の形成方法は公知の方法(本実施例ではサイドウォール817を用いる)に従えば容易に成しえるのでここでの説明は省略する。また、サリサイド構造に利用するシリサイド材料としては、タングステン以外にもチタン、モリブデン、コバルト、白金等を用いることができる。

【0124】〔実施例5〕本実施例では、ブラックマトリクスに特別な機能を付与した場合の実施例を説明する。説明には図9(A)、(B)を用いる。なお、概略の構造は実施例1で示した図2(C)と同じであるので、本実施例では図9(A)、(B)について、必要な箇所のみを符号を付して説明することとする。

【0125】図9(A)はブラックマトリクス901として窒化チタンを用いている。窒化チタンは表面反射が極めて小さい材料であるのでブラックマトリクスとしての機能を備えており、かつ、導電性材料であるという特徴がある。

【0126】従って、図9(A)に示す様に、ブラック

マトリクス901を画素電極902と重畳する様に配置し、その間で補助容量を形成することが可能である。この際、ブラックマトリクス901と画素電極902との間の絶縁層(第4の層間絶縁膜)903としては、有機樹脂材料(ポリイミド等)や酸化珪素膜あるいは窒化珪素膜を用いれば良い。

【0127】本実施例の構成とした場合、画素領域とはほぼ同等の面積が補助容量として利用できるので十分なキャパシティを稼ぐことができる。従って、第4の層間絶縁膜903の材料および膜厚は平坦化効果に重きを置いて選択すべきである。

【0128】次に、図9(B)に示す構成は、画素電極904とそれに隣接する画素電極905との間をブラックマトリクス906で埋め込む構成である。ブラックマトリクス906としては、黒色顔料を分散させた有機性樹脂材料を用いる。

【0129】図9(B)に示す構成の狙いは画素電極904、905との間に形成される恐れのある横方向電界(基板に対して水平な方向の電界)を抑制し、液晶の配向乱れ(ディスクリネーション)を防止することである。

【0130】そのために、本実施例では画素電極904、905の端部(特に角部)を覆う様にして(液晶材料に比べて)十分に比誘電率の小さい材料を設ける。こうすることで、画素電極が発生する電界が比誘電率の高い液晶に集中し、画素電極間の横方向の電界形成を抑制することが可能となる。

【0131】本実施例で利用する液晶材料の比誘電率は3.5~10の間で誘電異方性があり、液晶に電界がかかっている状態の比誘電率は約10である。それに比べてブラックマトリクス906の材料である有機性樹脂材料の比誘電率は約3.0~3.5であるので本実施例の要件を満たすものである。

【0132】なお、ブラックマトリクス906の膜厚を稼げない(十分な遮光能力を発揮できない)様な場合、ブラックマトリクス906を形成する前に予め第3の層間絶縁膜907にトレンチを形成しておくこともできる。

【0133】即ち、画素電極904、905マスクとして自己整合的に第3の層間絶縁膜906をエッチングし、トレンチ溝の中にブラックマトリクス906を埋め込む構成とすることで十分な遮光性を持たせることができる。

【0134】また、図2(C)における第4の層間絶縁膜159を省略することができ、層間絶縁膜を1層減らすことができる。そのため製造工程が簡略化し、歩留りの向上にも繋がる。

【0135】〔実施例6〕本実施例では本発明を利用した電気光学装置(画像表示装置)を組み込んだ電気光学装置(応用製品)の一例を示す。なお、画像表示装置は

必要に応じて直視型または投影型で使用すれば良い。

【0136】また、応用製品としてはTVカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクション（フロント型とリア型がある）、ビデオカメラ、パーソナルコンピュータ等が挙げられる。それら応用用途の簡単な一例を図5を用いて行う。

【0137】図10（A）はTVカメラであり、本体2001、カメラ部2002、表示装置2003、操作スイッチ2004で構成される。表示装置2003はビューファインダーとして利用される。

【0138】図10（B）はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。表示装置2102は比較的小型のサイズのものが2枚使用される。

【0139】図5（C）はカーナビゲーションであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。表示装置2202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的に広いと言える。

【0140】図5（D）は携帯情報端末機器（本実施例では携帯電話）であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作ボタン2305、アンテナ2306で構成される。表示装置2303に対しては、将来的にTV電話として動画表示を要求されることが予想される。

【0141】図5（E）はビデオカメラであり、本体2401、表示装置2402、接眼部2403、操作スイッチ2404、テープホルダー2405で構成される。表示装置2402に映し出された撮影画像は接眼部2403を通してリアルタイムに見ることができるので、使用者は画像を見ながらの撮影が可能となる。

【0142】図5（D）はフロントプロジェクションであり、本体2501、光源2502、表示装置2503、光学系（ビームスプリッターや偏光子等が含まれる）2504、スクリーン2505で構成される。スクリーン2505は会議や学会発表などのプレゼンテーションに利用される大画面スクリーンであるので、表示装置2503は高い解像度が要求される。

【0143】また、本実施例に示した電気光学装置以外にも、リアプロジェクションやモバイルコンピュータ、ハンディターミナルなどの携帯型情報端末機器に適用することができる。以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0144】

【発明の効果】本明細書に開示する発明を実施することで、画素マトリクス回路とロジック回路とを同一の領域に重複して配置することが可能となる。即ち、ロジック回路の占有面積に制限されることがないので、ガラス基板のサイズを最大限に活用して広い画像表示領域（画素マトリクス回路）を確保することができる。

【0145】また、ロジック回路を配置可能な領域が実質的には大幅に広がることになるので、電気光学装置の設計の自由度が広がり、極めて高性能な電気光学装置を実現することが可能である。

【図面の簡単な説明】

【図1】 薄膜トランジスタの作製工程を示す図。

【図2】 薄膜トランジスタの作製工程を示す図。

【図3】 電気光学装置の構成を示す図。

【図4】 反射型液晶表示装置を説明するための図。

【図5】 電気光学装置の構成を示す図。

【図6】 電気光学装置の構成を示す図。

【図7】 電気光学装置の構成を示す図。

【図8】 電気光学装置の断面構造を説明するための図。

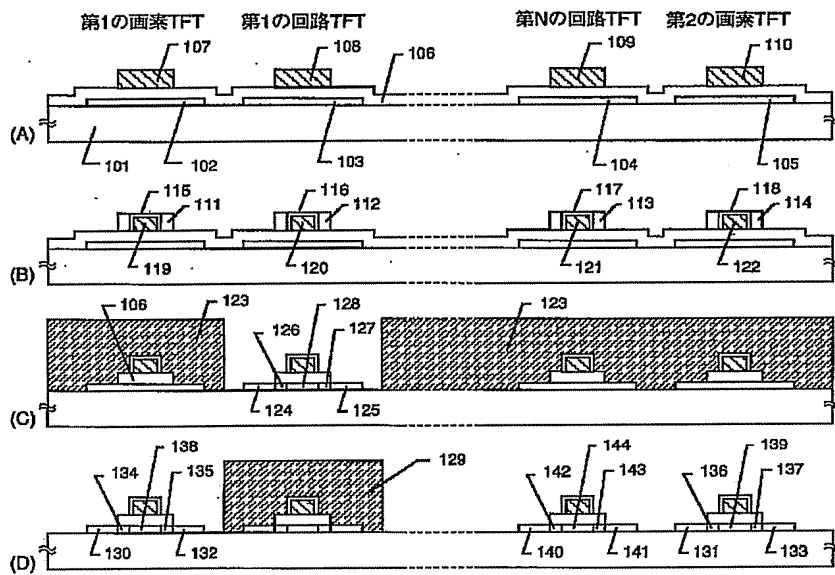
【図9】 電気光学装置の断面構造を説明するための図。

【図10】 電気光学装置の応用製品を示す図。

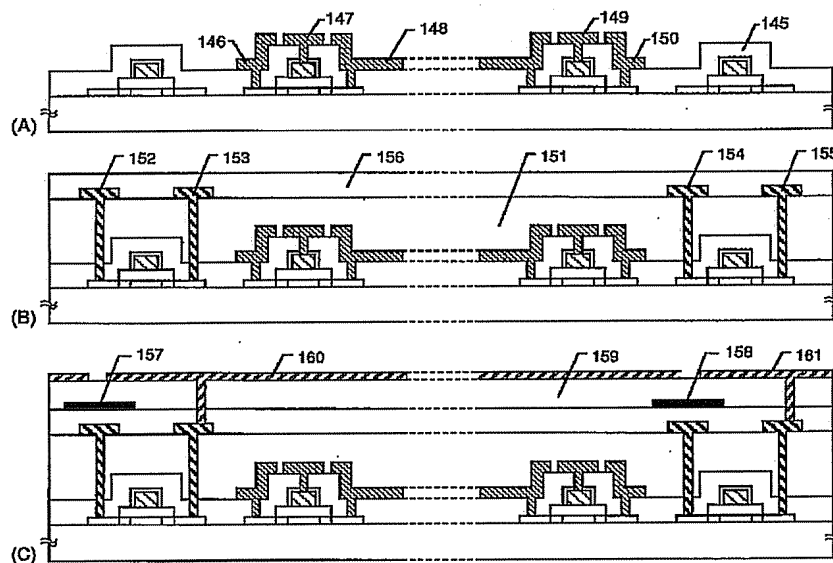
【符号の説明】

101	ガラス基板
102～105	活性層
106	ゲイト絶縁膜
107～110	アルミニウム膜のパターン
111～114	多孔質状の陽極酸化膜
115～118	緻密な陽極酸化膜
119～122	ゲイト電極
123	レジストマスク
124	ソース領域
125	ドレイン領域
126、127	低濃度不純物領域
128	チャネル形成領域
145	第1の層間絶縁膜
146～150	接続配線
151	第2の層間絶縁膜
152～155	データ配線
156	第3の層間絶縁膜
157、158	ブラックマトリクス
159	第4の層間絶縁膜
160、161	画素電極

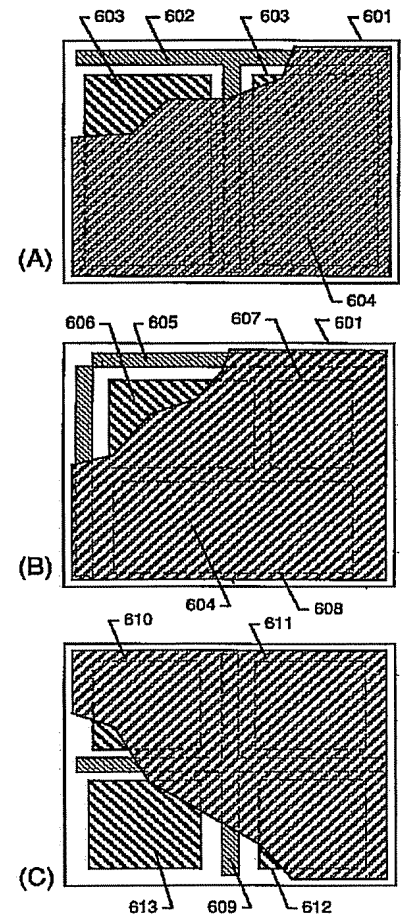
【図 1】



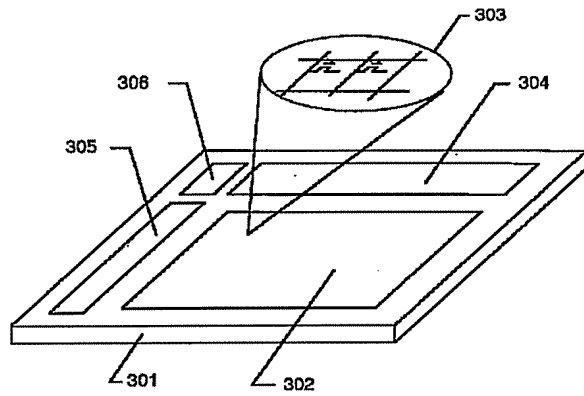
【図 2】



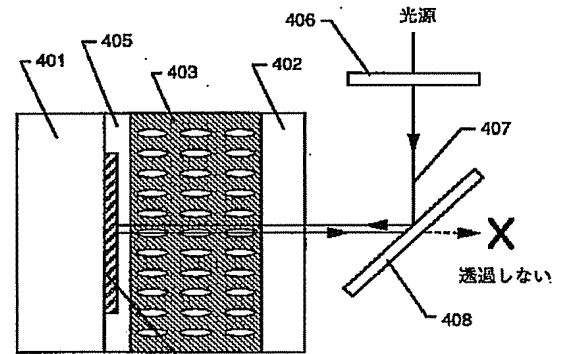
【図 6】



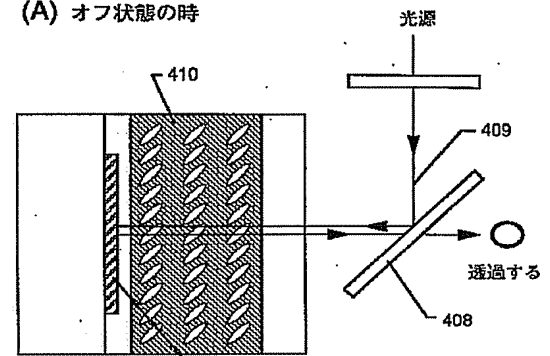
【図 3】



【図 4】

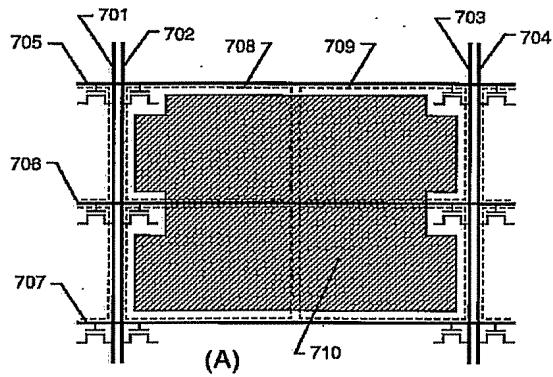


(A) オフ状態の時

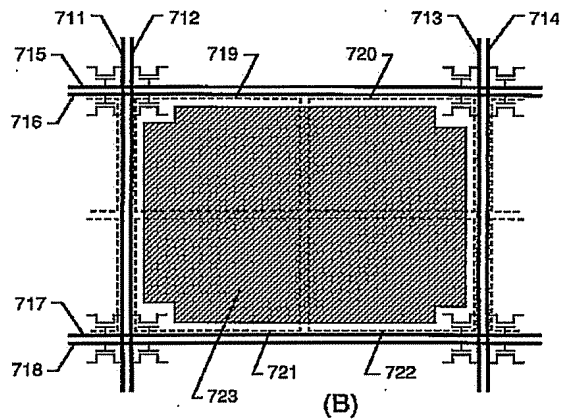


(B) オン状態の時

【図 7】

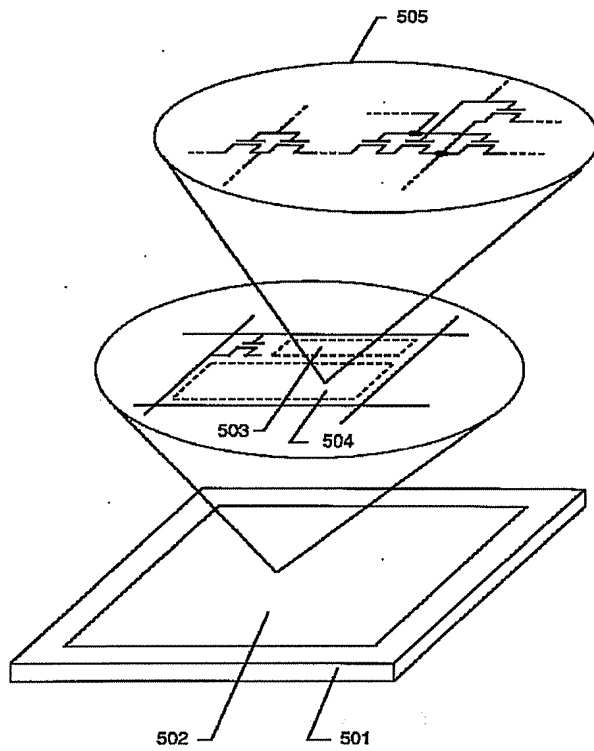


(A)

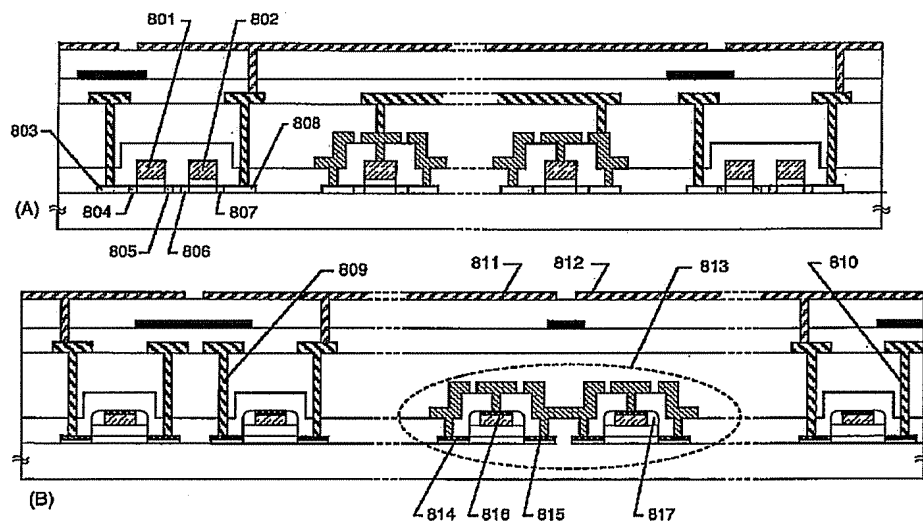


(B)

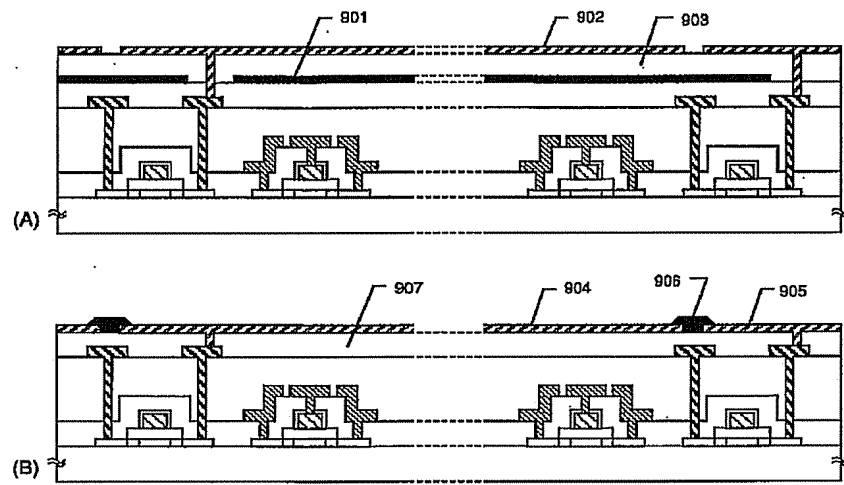
【図 5】



【図 8】



【図 9】



【図 10】

